

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

English Abstract

JP-A-S63-31214

A variable delay circuit which combines the output of the first and the second delay circuits each of which receives the same input signal and outputs the output signal having the different delay periods.

The variable delay circuit further controls the output ratio of the first and the second delay circuits by the control circuit.

⑫ 公開特許公報(A)

昭63-31214

⑮ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和63年(1988)2月9日

H 03 K 5/13

7259-5J

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 可変遅延回路

⑯ 特 願 昭62-167654

⑰ 出 願 昭62(1987)7月3日

優先権主張 ⑱ 1986年7月18日 ⑲ 米国(US) ⑳ 887582

㉑ 発 明 者 アイナー・オドブジョ アメリカ合衆国 オレゴン州 97225 ポートランド サ
ーン・トラ ウスウエスト・ワシントン 10260

㉒ 出 願 人 テクトロニックス・イ アメリカ合衆国 オレゴン州 97077 ビーバートン テ
ンコーポレイテッド クトロニックス・インダストリアル・パーク サウスウエ
スト・カール・ブラウン・ドライブ 14150

㉓ 代 理 人 弁理士 伊 藤 貞 外1名

明 細 書

発明の名称 可変遅延回路

特許請求の範囲

夫々同じ入力信号を受け、

遅延時間の異なる出力信号を出力する第1及び
第2遅延回路の出力を合成し、該第1及び第2遅延回路の出力比を制御回路で
制御することを特徴とする可変遅延回路。

発明の詳細な説明

(産業上の利用分野)

本発明は信号遅延回路、特に外部制御信号によ
りパルス信号の遅延時間を制御する可変遅延回路
に関する。

(従来の技術及び発明が解決しようとする問題点)

高速集積回路を適正動作させる為には、多数の
信号の論理状態間の変化(遷移)のタイミングを
高精度に一致させる必要性が生じることが多い。
多数の高速信号の論理状態変化の時点が異なるの
は信号路の長さの違い及び集積回路素子の信号伝

播遅延時間の違い等に起因する。

遅い信号と早い信号の状態変化のタイミングを
正確に一致させる(所謂デスキュー)1つの方法
は早い信号を両信号間の状態変化の時間差だけ遅
らせることである。このように両信号を一致させ
るには、固定遅延時間を有する素子の直列回路に
早い信号を迂回させればよい。この方法の欠点は
集積回路上で余分に場所をとる余計な回路を構成
しなければならないこと及び余分に電力を消費す
るということである。また、この遅延時間は固定
時間であり、伝播遅延時間は温度変化に伴って変
化しやすい。このような伝播遅延時間の微小な誤
差は複数の遅延回路素子を直列接続することによ
り、累積され大きな誤差を生じる結果となる。従って、本発明の目的はデジタル信号の遅延時
間を高精度に制御する可変遅延回路を提供するこ
とである。本発明の別の目的は集積回路の一部として構成
可能で、最小の占有面積及び最小の消費電力の遅
延回路を提供することである。

本発明の他の目的は遅延時間が可変で、それにより温度変化及び回路パラメータの差違に起因する遅延時間の変化を補償し得る遅延回路を提供することである。

(発明の概要)

本発明はデジタル入力信号を遅延させた出力信号を発生するのに好適な両速電子回路である。この回路に含まれる2つの遅延回路(第1及び第2遅延回路)は入力信号を受けて、各出力信号が合成される。これら遅延回路により、入力信号は2つの異なる経路を通る。即ち、一方は長時間遅延(低速)経路であり、他方は短時間遅延(高速)経路である。

長時間遅延をする第1遅延回路は比較的大きな面積を占め、付加コレクタ抵抗を有する1対のエミッタ結合トランジスタを含んでいる。面積が大きく且つ付加コレクタ抵抗があると、各トランジスタのベース及びコレクタ領域間の静電容量によるミラー効果によりトランジスタのスイッチ応答

時間は比較的遅くなる。短時間遅延をする第2遅延回路は普通の大きさの面積を有し、付加コレクタ抵抗のない1対のエミッタ結合トランジスタを含んでいる。

これらエミッタ結合トランジスタ対の各エミッタの電流を相対的に制御する直流制御信号を外部から加え、低速及び高速経路がデジタル入力信号に与える各遅延時間の比率を制御する。この回路による合計遅延時間は低速経路の遅延時間から高速経路の遅延時間までの範囲で可変できる。制御信号によりこの回路の遅延時間を設定し、所望の遅延時間を維持する手段が提供される。

(実施例)

図は本発明による可変遅延回路(10)の回路図である。この回路は入力端子(12)及び(14)間に差動入力信号 V_i を受け、出力端子(16)及び(18)間に入力信号 V_i を遅延させた差動出力信号 V_o を出力する。この入力信号 V_i には、例えばエミッタ結合論理(ECL)型の高速デジタル

3

信号が好適である。

可変遅延回路(10)は入力端子間並及び出力端子間並が夫々接続している第1(低速)遅延回路(20)と第2(高速)遅延回路(22)とを含んでいる。これら遅延回路(20)及び(22)は夫々1対のエミッタ結合NPNトランジスタ(24)、(26)と、別の1対のエミッタ結合NPNトランジスタ(28)、(30)とを含んでいる。トランジスタ(24)及び(28)の各ベース端子(32)及び(34)を共に入力端子(12)と接続して正入力端子を形成している。また、トランジスタ(26)及び(30)の各ベース端子(36)及び(38)を共に入力端子(14)を接続して負入力端子を形成している。

トランジスタ(24)のコレクタ(40)は直列接続された抵抗器(42)、(44)と接続し、トランジスタ(28)のコレクタ(46)は直列接続された抵抗器(48)、(50)と接続している。抵抗器(42)及び(48)の各抵抗値は等しく R_x であり、後述するように遅延回路(20)の大きな遅延時間

4

の一因となる。抵抗器(44)及び(50)の各抵抗値は共に R_L で、遅延回路(20)及び(22)を構成している各トランジスタのコレクタ端子の負荷抵抗器として機能する。抵抗器(44)及び(50)はコレクタ・バイアス電圧 V_{cc} の電源と接続しており、この電圧 V_{cc} は典型的なECL回路の場合0ボルトである。

抵抗器(42)及び(44)間の接続点はトランジスタ(28)のコレクタ(54)と接続し、それからバッファ(緩衝器)を介して出力端子(18)と接続して負出力端子を形成している。また、抵抗器(48)及び(50)間の接続点(56)はトランジスタ(30)のコレクタ(58)と接続し、それからバッファを介して出力端子(16)と接続して正出力端子を形成している。接続点(52)及び(56)は夫々遅延回路(20)及び(22)の出力の加算点(手段)になっている。遅延回路(20)及び(22)は入力信号 V_i に夫々異なる遅延時間を与えた差動出力を発生するスイッチ回路を構成している。可変遅延回路(10)の出力信号の総遅延時間は、

5

6

それ故、遅延回路(20)及び(22)の出力信号の合成値により得られる。

1対のトランジスタ(60)及び(62)は出力端子(16)及び(18)に出力信号を送るバッファとして機能するエミッタ・ホロウを構成している。エミッタ・バイアス電圧 V_{be} は典型的なECL回路の場合5.2ボルトで抵抗器(64)及び(66)を介してトランジスタ(60)及び(62)のエミッタに夫々供給される。抵抗器(64)及び(66)の各抵抗値は R_E でECL回路の正常動作に必要な電流を供給している。トランジスタ(60)及び(62)のコレクタは電圧源 V_{cc} と接続している。

遅延回路(20)のトランジスタ(24)及び(26)と遅延回路(22)のトランジスタ(28)及び(30)に流れる電流は、正制御入力端子(82)及び負制御入力端子(84)間に外部から印加する差動直流制御信号を受ける制御回路(80)によって制御される。この制御回路(80)により遅延回路(20)及び(22)がデジタル入力信号に与える各遅延時間の相対的比率を設定できるので、遅延時間を全

範囲に亘り制御できる。

この制御回路(80)に含まれるNPNトランジスタ(86)及び(88)の各ベース端子(90)及び(92)は夫々制御入力端子(82)及び(84)と接続している。トランジスタ(86)のコレクタ端子(94)は、遅延回路(20)のトランジスタ(24)及び(26)のエミッタ(96)及び(98)に流れる電流の流入口となる。また、トランジスタ(88)のコレクタ端子(100)は、遅延回路(22)のトランジスタ(28)及び(30)のエミッタ(102)及び(104)に流れる電流の流入口となる。トランジスタ(86)及び(88)のエミッタ端子(106)及び(108)に流れる電流の和は一定電流 I_L であり、この電流 I_L は従来の制御定電流源(110)によるものである。抵抗器 R_c の抵抗器(112)はエミッタ端子(106)と、エミッタ端子(108)及び定電流源(110)間の接続点(114)との間に接続されている。抵抗器(112)があるので、制御入力端子(82)及び(84)間の制御信号の電圧が0ボルトになると、トランジスタ(88)のエ

7

ミッタ(108)に流れる電流の比率が大きくなる。制御回路(80)は以下のようにしてデジタル入力信号の遅延時間を制御している。

制御信号の制御入力端子間の電位差によりトランジスタ(86)のベース・エミッタ間電圧が増加すると、トランジスタ(86)のコレクタ(94)の電流は増加し、トランジスタ(88)のコレクタ(100)の電流は減少する。こうなると、デジタル入力信号が低速遅延回路(20)を通る割合が増加し、高速遅延回路(22)を通る割合が減少する。この結果デジタル入力信号の総遅延時間が増加することになる。制御信号の電位差によりトランジスタ(88)のベース・エミッタ間電圧が増加すると、トランジスタ(86)のコレクタ(94)の電流が減少し、トランジスタ(88)のコレクタ(100)の電流が増加する。よって、デジタル入力信号が低速遅延回路(20)を通る割合が減少し、高速遅延回路(22)を通る割合が増加する。この結果、デジタル入力信号の総遅延時間は減少する。トランジスタ(86)のコレクタ(94)とトランジスタ

8

(88)のコレクタ(100)を流れる電流の合計は一定で、制御信号の電圧レベルと所と関係ないので、制御信号の電圧の変化は遅延回路(20)及び(22)に流れる電流の合計に対する比率だけを変えることになる。

低速遅延回路(20)がデジタル入力信号に対して、より長い遅延経路を提供するには2つの理由がある。第1の理由は、トランジスタ(24)及び(26)がベース・コレクタ間領域の静電容量が比較的大きくなるように比較的面積を大きく形成されていることである。他方、トランジスタ(28)及び(30)の面積は速度が最高になるように選ばれている。第2の理由は、抵抗器(42)及び(48)と、トランジスタ(24)及び(26)のベース・コレクタ間静電容量とのミラー効果により、トランジスタ(24)及び(26)による遅延時間は長くなることである。

外部から印加した制御信号により、遅延回路(20)及び(22)をデジタル入力信号が通る比率を変えることにより、この入力信号の所望の遅延

9

10

時間を調整することができる。この可変遅延回路(10)の総遅延時間は高速遅延回路(20)の遅延時間から低速遅延回路(22)の遅延時間までの範囲内で変えられることになる。

次の表はトランジスタ(24)及び(26)が夫々トランジスタ(28)及び(30)より4倍の面積を有するように設計した場合の可変遅延回路(10)の構成要素の典型的な値を示している。

〔表〕

$R_L = 200 \text{ } (\Omega)$	$R_E = 4 \text{ (K}\Omega\text{)}$
$R_X = 600 \text{ } (\Omega)$	$I_L = 1 \text{ (mA)}$
$R_C = 1 \text{ (K}\Omega\text{)}$	

抵抗値 R_L 及び R_X の合計はトランジスタ(24)及び(26)を飽和状態までバイアスする値を超えてはならない。上記の値を有する遅延回路(10)はECL型デジタル入力信号を約2ナノ秒遅延するように設計されている。この遅延時間は、制御入力端子(82)及び(84)に加える制御信号の電

圧レベルを変えて一定に維持することができる。また、トランジスタ(24)及び(26)のベースのリード線に抵抗器を挿入すれば、低速遅延回路(20)の遅延時間を増加することもできる。

以上、本発明を好適実施例について説明したが、本発明の要旨から逸脱することなく様々な変更が可能であることは当業者には明らかであろう。例えば、多数の可変遅延回路(10)を直列接続すれば、より長い遅延時間をプログラミング可能にすることができる。また、デジタル入力信号のみならず、一般のパルス信号の立上り又は立下り時間を任意に制御することも可能である。

(発明の効果)

上述の如く本発明によれば、外部制御信号により高精度且つ容易に遅延時間を制御し得る上に、温度等の経時的変化による遅延時間の変化を容易に補償制御できるので、常に安定した遅延時間を高精度に維持できる。また、占有面積を小さくできる上に消費電力も小さいので集積回路中に容易

1 1

1 2

に高密度実装可能である。従って、本発明は高速デジタル回路の複数の信号のタイミング調整を行うデスキューに使用する場合に特に好適である。

図面の簡単な説明

図は本発明による可変遅延回路(10)の回路図である。

(20)は第1(低速)遅延回路、(22)は第2(高速)遅延回路、(80)は制御回路である。

代 理 人 伊 藤 貞

 松 隈 秀 盛

1 3

